

## FD2 - DSP563XX implementation

This course covers the 563XX 24-bit DSP NXP family

### Objectives

- The course explains how to design a 56L307 based board
- Optimized coding examples are described
- A generic interrupt handler is introduced
- DMA channels are viewed in detail
- The course focuses on the serial ports SCI and ESSI
- Practical exercises are executed on a 56L307 board

*A lot of programming examples have been developed by ACSYS to explain how to write optimized code.*

*• They have been developed with CodeWarrior compiler and are executed under CodeWarrior debugger.*

*A more detailed course description is available on request at [training@ac6-training.com](mailto:training@ac6-training.com)*

### Prerequisites

- Basic knowledge of signal processing.

### Environnement du cours

- Cours théorique
  - Support de cours au format PDF (en anglais) et une version imprimée lors des sessions en présentiel
  - Cours dispensé via le système de visioconférence Teams (si à distance)
  - Le formateur répond aux questions des stagiaires en direct pendant la formation et fournit une assistance technique et pédagogique
- Au début de chaque demi-journée une période est réservée à une interaction avec les stagiaires pour s'assurer que le cours répond à leurs attentes et l'adapter si nécessaire

### Audience visée

- Tout ingénieur ou technicien en systèmes embarqués possédant les prérequis ci-dessus.

### Modalités d'évaluation

- Les prérequis indiqués ci-dessus sont évalués avant la formation par l'encadrement technique du stagiaire dans son entreprise, ou par le stagiaire lui-même dans le cas exceptionnel d'un stagiaire individuel.
- Les progrès des stagiaires sont évalués par des quizz proposés en fin des sections pour vérifier que les stagiaires ont assimilé les points présentés
- En fin de formation, une attestation et un certificat attestant que le stagiaire a suivi le cours avec succès.
  - En cas de problème dû à un manque de prérequis de la part du stagiaire, constaté lors de la formation, une formation différente ou complémentaire lui est proposée, en général pour conforter ses prérequis, en accord avec son responsable en entreprise le cas échéant.

## Plan

### **INTRODUCTION TO DIGITAL SIGNAL PROCESSING**

- Arithmetic processing of real-time signals
- Modified dual Harvard architecture : the X-memory and the Y-memory
- MAC operation
- DSP 563XX family introduction

### **563XX ARCHITECTURE**

- Core buses
- Processing states
- Reset
- 56L307 mapping

### **THE DSP CORE**

- The Data ALU
- The Address Generation Unit
- The Program Control Unit
- The instruction set
- C-to-assembly interface
- The PLL
- The 563XX instruction cache
- Exception management
- The debugging support
- JTAG use to access the OnCE

### **HARDWARE IMPLEMENTATION**

- External memory addressing
- Arbitration protocol
- SRAM interface
- DRAM basics
- DRAM interface

### **THE DMA CONTROLLER**

- Overlap between DMA channel and core
- Channel priority
- Triggering modes
- Circular buffer management

### **THE HOST INTERFACE**

- Host interface description
- Transfer modes
- Handshaking protocols
- DMA access to HTX and HRX data registers
- Boot up using the HIO8 host port
- Programming model : host-side and DSP-side register banks

### **THE TRIPLE TIMER MODULE**

- Timer related pins
- Triple timer modes
- Event capture

- Signal width / period measuring
- PWM
- Watchdog modes

## THE ENHANCED SYNCHRONOUS SERIAL INTERFACE

- ESSI signals
- Network mode
- On-Demand mode
- ESSI exceptions
- Transmit and receive sequences

## THE SERIAL COMMUNICATION INTERFACE

- SCI block diagram
- Asynchronous vs synchronous operation modes
- Baud rate selection
- Bootstrap loading from the SCI
- Asynchronous transmit and receive sequences

## THE ENHANCED FILTER COPROCESSOR

- PMB interface, FMAC unit, FDM bank, FCM bank
- FIR filter options
- IIR filter options
- Multichannel mode
- Input scaling

## Renseignements pratiques

**Durée : 3 jours**  
**Prix : 1650 € HT**