

FF4 - MCF548x implementation

This course covers MCF548X ColdFire MCUs, for instance the MCF5485

Objectives

- Optimized code writing based on pipeline knowledge.
- Memory controller understanding, especially DDR SDRAM controller.
- Understanding the operation of the Fast Ethernet controller.
- Detailing the reset sequence.
- Programming of an Interrupt Service Routine.
- Parameterizing the PCI bridge to perform inbound and outbound transactions.
- This course has been delivered several times to companies developing transportation equipments.

A lot of programming examples have been developed by ACSYS to explain the boot sequence and the operation of complex peripherals, such as Fast Ethernet.

• They have been developed with CodeWarrior compiler and are executed under CodeWarrior debugger.

A more detailed course description is available on request at training@ac6-training.com

Prerequisites

- Experience of a 32 bit processor or DSP is mandatory.

Related courses

- Ethernet and switching, reference cours [N1 - Ethernet and switching](#)
- PCI 3.0, reference cours [IC1 - PCI 3.0](#)
- USB 2.0, reference cours [IP2 - USB 2.0](#)
- CAN bus, reference cours [IA1 - CAN bus](#)

Environnement du cours

- Cours théorique
 - Support de cours au format PDF (en anglais) et une version imprimée lors des sessions en présentiel
 - Cours dispensé via le système de visioconférence Teams (si à distance)
 - Le formateur répond aux questions des stagiaires en direct pendant la formation et fournit une assistance technique et pédagogique
- Au début de chaque demi-journée une période est réservée à une interaction avec les stagiaires pour s'assurer que le cours répond à leurs attentes et l'adapter si nécessaire

Audience visée

- Tout ingénieur ou technicien en systèmes embarqués possédant les prérequis ci-dessus.

Modalités d'évaluation

- Les prérequis indiqués ci-dessus sont évalués avant la formation par l'encadrement technique du stagiaire dans son entreprise, ou par le stagiaire lui-même dans le cas exceptionnel d'un stagiaire individuel.
- Les progrès des stagiaires sont évalués par des quizz proposés en fin des sections pour vérifier que les stagiaires ont assimilé les points présentés

- En fin de formation, une attestation et un certificat attestant que le stagiaire a suivi le cours avec succès.
 - En cas de problème dû à un manque de prérequis de la part du stagiaire, constaté lors de la formation, une formation différente ou complémentaire lui est proposée, en général pour conforter ses prérequis, en accord avec son responsable en entreprise le cas échéant.

Plan

INTRODUCTION TO THE MCF548X FAMILY

Overview

- ColdFire core versions
- Architecture of a typical 548X board
- Mapping of internal resources

CORE ARCHITECTURE

THE V4e COLDFIRE CORE

- Pipeline basics
- Description of assembly instructions
- Floating Point Unit description
- Mac instructions, implementation of a fixed point DFT
- ColdFire instruction set architecture enhancements
- Stack management, subroutine call and return
- C to assembly interface, organization of the stack frame
- Position dependent code vs position independent code
- Section definition
- Exception management : vector table, priority, masking, precise faults
- Memory Management Unit : translation and access control, process protection
- TLB initialization
- Cache basics
- 32-kB cache data and instruction, a four-way set associative organization
- Cache coherency and invalidation, software control
- Internal 32-kB SRAM, initialization code
- Power management

DEBUG FACILITIES

- Intrusive vs non-intrusive debug
- BDM port
- Hardware breakpoints
- Trace port

PLATFORM

RESET

- Reset sources
- Clocking, system clock generation, PLL control, loss of clock detection
- Reset control flow
- Requirements of the boot routine

SIU & INTERRUPT CONTROLLER

- System Control Module
- Internal bus arbitration
- The interrupt controllers : vectorized vs auto-vectorized mode, edge Port Module

HARDWARE IMPLEMENTATION

- Electrical specification, supply voltage sequencing
- Flexbus
- DDR SDRAM basics
- DDR SDRAM Controller
- PCI Controller
- Error management

TIMERS

- Programmable Interrupt Timer Modules
- General Purpose Timer Modules
- Input capture capability

THE MULTI CHANNEL DMA CONTROLLER

- DMA task memory
- DMA sources
- Transfer control descriptors

INTEGRATED I/Os

COMMUNICATION CONTROLLERS

- The PSC Module
- The DSPI
- The I2C controller
- The FlexCAN controller
- The Fast Ethernet Controller
- The USB 2.0 device controller

INTEGRATED SECURITY ENGINE

- Crypto-channels
- ARC four execution unit
- Multi-function data packet descriptors

Renseignements pratiques

Durée : 4 jours
Prix : 1950 € HT